

⑫ 公開特許公報(A) 昭63-266870

⑬ Int. Cl.<sup>4</sup>

識別記号

庁内整理番号

⑭ 公開 昭和63年(1988)11月2日

H 01 L 27/14  
21/88

A-7525-5F  
B-6708-5F

審査請求 未請求 発明の数 1 (全13頁)

⑮ 発明の名称 多層配線部材の製造方法

⑯ 特 願 昭62-99736

⑰ 出 願 昭62(1987)4月24日

⑱ 発 明 者 田 中 清 千葉県茂原市早野3300番地 株式会社日立製作所茂原工場内

⑲ 発 明 者 早 坂 昭 夫 千葉県茂原市早野3300番地 株式会社日立製作所茂原工場内

⑳ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉑ 代 理 人 弁理士 小川 勝男 外1名

明 示 書

1. 発明の名称

多 層 配 線 部 材 の 製 造 方 法

2. 特許請求の範囲

1. 基板上に、絶縁膜、導電膜の夫々を交互に重ね合わせた多層配線部材の製造方法において、前記絶縁膜上に、ハロゲン化銀等の液体金属錯体を塗布する工程と、該液体金属錯体の所定領域に、金属を析出させて前記導電膜を形成する工程と、該金属を析出させない領域の液体金属錯体を除去する工程とを具備したことを特徴とする多層配線部材の製造方法。

2. 前記液体金属錯体は、ゼラチン等の分散液中に、AgCl<sub>2</sub>, AgBr<sub>2</sub>, AgI等のハロゲン化銀を単独に或は混合して微結晶の形で懸濁したものであることを特徴とする特許請求の範囲第1項に記載の多層配線部材の製造方法。

3. 前記液体金属錯体で形成した導電膜は、固体撮像装置の光学カルブラック部の光電変換素子の上部に構成される感光膜として使用される

ことを特徴とする特許請求の範囲第1項又は第2項に記載の多層配線部材の製造方法。

4. 前記液体金属錯体で形成した導電膜は、少なくとも、前記絶縁膜に形成される微細孔内に充填され、下層導電膜と上層導電膜とを接合する接合用導電膜として使用されることを特徴とする特許請求の範囲第1項又は第2項に記載の多層配線部材の製造方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、多層配線技術、特に、半導体集積回路装置、配線基板等の多層配線技術に適用して有効な技術に関するものである。

〔従来の技術〕

半導体装置製造技術として、水平抽出(TSL: Transversal Siquel Line)方式のMOS型固体撮像装置が知られている。この固体撮像装置の受光部の固体撮像素子は、水素スイッチMOS型微細効果トランジスタ(以下MOSと称す)、垂直スイッチMOS、光電変換素子(フォトリソイ

素子)の夫々を直列に接続して構成されている。

水平スイッチMOSは、列方向に延在する水平走査線を介在させ、水平走査用シフトレジスタ部(水平走査回路)で制御される。垂直スイッチMOSは、水平走査線と交差する行方向に延在する垂直走査線を介在させ、垂直走査用シフトレジスタ部(垂直走査回路)で制御される。水平スイッチMOSのドレイン領域には、垂直走査線と同一行方向に延在する出力信号線が接続されている。

出力信号線は、出力回路(差出回路)、水平帰線同期リセット部の夫々に接続されている。水平帰線同期リセット部は、水平帰線期間内に出力信号線に誘えられた信号線をリセットするように構成されている。また出力信号線は水平走査期間内にホトダイオードの読み出し毎に高速にリセットされている。つまり、このTSL方式の固体撮像装置は、スミアを低減して高画質を得ることができるとある。

一方、従来、各列共通に設けられている水平スイッチMOSに代えて、前述のように、TSL方式

の固体撮像装置は、セル(画素)毎にそれに比べて小さな水平スイッチMOSを設けている。この固体撮像装置は、水平スイッチMOSのスイッチング時に発生するスバイク雑音のばらつきによる固定雑音を低減できる特徴がある。

なお、TSL方式の固体撮像装置については、例えば、特開第53-266870(1)、1986年5月号、p18～p24に記載されている。

〔発明が解決しようとする問題点〕

前述のTSL方式の固体撮像装置には、受光部の他に、オプティカルブラック部が構成されている。オプティカルブラック部は、帯電成分によるノイズを補正するための基準値(光学的なレベル)を形成するように構成されている。オプティカルブラック部は、受光部と同一構造で構成された固体撮像素子の光電変換素子の上部に遮光膜を設けたデバイス構造で構成されている。遮光膜は、両者やスパッタで形成した最上層のアルミニウム膜で形成している。

オプティカルブラック部の固体撮像素子と遮光膜

- 3 -

との間には、垂直走査線、出力信号線等の複数層の導電膜を延在させており、固体撮像装置は、所謂多層配線構造で構成されている。このため、最上層の遮光膜の下層絶縁膜の表面に段差形状が成長し、遮光膜のステップカバレッジが劣化するもので、オプティカルブラック部の遮光性が低下するという問題を生じる。

本発明の目的は、導電膜のステップカバレッジを向上することが可能な多層配線技術を提供することにある。

本発明の他の目的は、固体撮像装置において、オプティカルブラック部の遮光膜の遮光性を向上することが可能な多層配線技術を提供することにある。

本発明の他の目的は、下層導電膜と上層導電膜とを確実に接続することが可能な多層配線技術を提供することにある。

本発明の他の目的は、導電膜の製造工程を低減することが可能な多層配線技術を提供することにある。

- 4 -

本発明の前提ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかにであろう。

〔問題点を解決するための手段〕

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

多層配線技術において、絶縁膜上にハロゲン化銀等の放電金属錯体を塗布し、この放電金属錯体の所定領域に金属を析出させて導電膜を形成し、その後、金属を析出させない領域の放電金属錯体を除去する。

また、固体撮像装置においては、オプティカルブラック部の固体撮像素子の光電変換素子の上部に、前記放電金属錯体で形成した導電膜で遮光膜を形成する。

また、多層配線技術においては、少なくとも、両者間の結晶膜に形成された接続孔内に前記放電金属錯体で形成した接続用導電膜を埋込み、この接続用導電膜を介して下層導電膜と上層導電膜と

を接続する。

(作用)

上述した手段によれば、前記被体金属層が有する流動性によって、下地の段差形状に沿って忠実に被体金属層が塗布され、この被体金属層が金属を併出して導電膜を形成することができるので、前記導電膜のステップカバレッジを向上させることができる。

また、オプティカルブラック部の遮光膜に光漏れを生じするような膜厚の不均一やピンホールが発生する確率を低減することができるので、露光膜の遮光性を向上させることができる。

また、微細な接続孔であっても、前記接続孔内に確実に接続用導電膜を埋込ることができるので、下層導電膜と上層導電膜とを確実に接続することができる。

以下、本発明の構成について、TSL方式のMOS型固体撮像装置に本発明を適用した一実施例とともに説明する。

なお、実施例を説明するための全図において、

・7・

部(垂直走査用回路)Vregが設けられている。下側周辺には、水平走査用シフトレジスタ部(水平走査用回路)Hreg、左端には、出力回路(読出回路)OITが設けられている。

第2図に示すように、前記フォトダイオードアレイARRの受光部SAは、垂直走査線VL1, VL2, …、水平走査線HL1, HL2, …、出力信号線HS1, HS2, …の交差点に配置されている。垂直走査線VLは、行方向に延在し、列方向に複数本配置されている。水平走査線HLは、列方向に延在し、行方向に複数本配置されている。出力信号線HSは、垂直走査線VLと同一の行方向に延在し、列方向に複数本配置されている。

前記素子は、水平スイッチMOSQh、垂直スイッチMOSQv(Qv1, Qv2)、光電変換素子(フォトダイオード)PD(PD1, PD2)で構成されている。水平スイッチMOSQhの一方の半導体領域と垂直スイッチMOSQvの他方の半導体領域は接続されており、両者は直列に接続さ

れ、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

(実施例)

本発明の実施例であるTSL方式の固体撮像装置を第1図(概略構成図)及び第2図(等価回路図)で示す。

第1図に示すように、TSL方式の固体撮像装置(固体撮像チップ)CH1は、中央部にセル(画素)を行列状に複数配置したフォトダイオードアレイARRが構成されている。

フォトダイオードアレイARRは、受光部SAとオプティカルブラック部OBとで構成されている。受光部SAは、光学レンズを通して入射された光信号を直接に変換して蒸発できるように構成されている。オプティカルブラック部OBは、暗電流成分によるノイズを抑制するための基準電位(光学的黒レベル)を形成するように構成されている。

フォトダイオードアレイARRの右側の周辺には、水平偏極線読みセット部RS、インタレース垂直制御部INT、垂直走査用シフトレジスタ

・8・

れている。光電変換素子PD1は、垂直スイッチMOSQv1の他方の半導体領域に接続され、光電変換素子PD2は、垂直スイッチMOSQv2の一方の半導体領域に接続されている。

列方向に配置された複数の固体撮像素子の水平スイッチMOSQhのゲート電極は、1本の水平走査線HLに接続されている。水平走査線HLは、水平走査用シフトレジスタ部Hregに接続されている。水平走査用シフトレジスタ部Hregは、入力信号Hin及びクロック信号φh1, φh2によって、行方向に配置される複数の水平走査線HLを順次走査し、行方向の画素を選択するように構成されている。

行方向に配置された複数の画素の垂直スイッチMOSQvのゲート電極は、1本の垂直走査線VLに接続されている。垂直走査線VLの一端は、インタレース垂直制御部INTを介して垂直走査用シフトレジスタ部Vregに接続されている。垂直走査用シフトレジスタ部Vregは、入力信号Vin及びクロック信号φv1, φv2によって、列方

向に配置される複数の垂直走査線V<sub>L</sub>を順次走査するための選択信号R<sub>1</sub>、R<sub>2</sub>、…をインタレース走査制御部INTに出力するように構成されている。

インタレース走査制御部INTは、フィールド選択信号F<sub>φ</sub>又はF<sub>φ</sub>でスイッチMOSQF<sub>φ</sub>又はQF<sub>φ</sub>を制御し、選択信号Rを伝達する駆動用MOSQ<sub>d</sub>を選択するように構成されている。駆動用MOSQ<sub>d</sub>は、ゲート電極と一方の半導体領域(垂直走査線V<sub>L</sub>)との間に昇圧コンデンサが設けられている。駆動用MOSQ<sub>d</sub>の他方の半導体領域には、垂直走査信号φ<sub>1</sub>又はφ<sub>2</sub>が印加されている。つまり、垂直走査信号φ<sub>1</sub>又はφ<sub>2</sub>は、選択信号Rに基づき、駆動用MOSQ<sub>d</sub>によって垂直走査線V<sub>L</sub>に印加される。駆動用MOSQ<sub>d</sub>は、給電昇圧コンデンサによって、しきい値電圧に相当する電圧降下を生じることなく、垂直走査信号φ<sub>1</sub>又はφ<sub>2</sub>を垂直走査線V<sub>L</sub>に印加することができる。

このインタレース走査制御部INTは、2行間

- 11 -

セット用出力線V<sub>R</sub>に接続されている。リセット用MOSQRのゲート電極は、リセット信号線R<sub>P</sub>に接続され制御されている。水平同期期間リセット部RESは、水平走査期間内に書入れた映像信号をリセットするように構成されている。

次に、TSL方式の固体撮像素子CHTの具体的なデバイス構造について、第3図乃至第6図を用いて説明する。第3図は、受光部SAの固体撮像素子を示す要部断面図、第4図は、オプティカルブラック部OBの固体撮像素子を示す要部断面図である。第5図は、第4図のV-V切線線で切った断面図。第6図は、第4図のW-W切線線で切った断面図である。

第3図乃至第6図に示すように、受光部SA、オプティカルブラック部OBの尖々の両端は、基本的に同一構造で構成されている。

受光部SA、オプティカルブラック部OBの夫々の固体撮像素子は、半導体基板SUBに設けられたウエル領域WELの上面に形成され、素子間分離絶縁膜LOCにその周囲を限定されている。

時給出が行えるように構成されている。すなわち、まず、インタレース走査制御部INTは、フィールド選択信号Fによって、隣接する垂直フィールドの2行の垂直走査線V<sub>L</sub>(例えば、V<sub>L1</sub>とV<sub>L2</sub>、V<sub>L3</sub>とV<sub>L4</sub>)を選択する。次に、インタレース走査制御部INTは、他のフィールド選択信号Fによって、2行の垂直走査線V<sub>L</sub>の組合せを変え(例えば、V<sub>L2</sub>とV<sub>L3</sub>、V<sub>L4</sub>とV<sub>L5</sub>)で選択するように構成されている。

垂直走査線V<sub>L</sub>の他端は、出力回路OUTの出力制御用MOSQSy<sub>e</sub>、QScy、QSw、QSeのゲート電極に接続されている。出力制御用MOSQsは、出力信号線HSの一端と出力回路OUTの各色毎の出力線Sy<sub>e</sub>、SCy、SW、SQとを接続するように構成されている。

出力信号線HSは、行方向に配置された複数の固体撮像素子の水平スイッチMOSQhの他方の半導体領域(ドレイン領域)に接続されている。出力信号線HSの他端は、水平同期期間リセット部RESのリセット用MOSQRを介させて、リ

- 12 -

半導体基板SUBは、単結晶シリコンからなるN型で構成されている。ウエル領域WELは、P型で構成されており、主に、NチャネルMOSPE<sub>T</sub>を形成する。

素子間分離絶縁膜LOCは、ウエル領域WELの上面を選択的に熱酸化して形成した酸化シリコン膜で構成されている。素子間分離絶縁膜LOCは、第3図及び第4図に示すように、歯状形成領域をU字形状で構成している。詳しく述べれば、素子間分離絶縁膜LOCは、水平スイッチMOSQh形成領域の面積は小さく、垂直スイッチMOSQv形成領域の面積は大きくなるように、U字形状で構成する。

歯状の水平スイッチMOSQhは、第3図乃至第6図、及び第7図(所定の製造工程における要部断面図)に示すように、主に、ウエル領域WEL、ゲート絶縁膜、ゲート電極、ソース領域又はドレイン領域である一方のN型半導体領域(N)で構成されている。

ゲート絶縁膜は、例えば、ウエル領域WEL、

領域の主面を酸化して形成した酸化シリコン膜で形成する。

ゲート電極は、ゲート電極材料例えば多結晶シリコン膜(半導体膜)P-Siで形成する。多結晶シリコン膜P-Siは、例えば、3000~4000[Å]程度の膜厚で形成する。また、ゲート電極は、高融点金属(Mo, Ti, Ta, W)膜若しくは高融点金属シリサイド(MoS<sub>2</sub>, TiSi<sub>3</sub>, TaSi<sub>3</sub>, WSi<sub>2</sub>)膜、或は多結晶シリコン膜とそれらの複合膜で形成してもよい。

半導体領域Nは、ゲート電極をマスクとしたイオン打込みでウエル領域WELしの主面部にN型不純物を導入し、これに引き伸ばし拡散を施して形成する。

前記水平スイッチMOSQhのドレイン領域である半導体領域Nは、ウエル領域WELより高不純物濃度のP型半導体領域(P)の主面部に形成されている。半導体領域Pは、水平スイッチMOSQhのチャネル形成領域まで拡散されている。この半導体領域Pは、水平スイッチMOSQhの

しきい値電圧を上昇するように構成されている。つまり、半導体領域Pは、ブルーミングを生じするような電子が光電変換素子PD側から出力信号線FSに移動することも低減するように構成されている。

垂直スイッチMOSQv1は、水平スイッチMOSQhと実質的に同様に、主に、ウエル領域WELし、ゲート絶縁膜、ゲート電極、ソース領域又はドレイン領域である一方の半導体領域Nで構成されている。

垂直スイッチMOSQv2は、水平スイッチMOSQhと実質的に同様に、主に、ウエル領域WELし、ゲート絶縁膜、ゲート電極、ソース領域又はドレイン領域である一方の半導体領域Nで構成されている。

垂直スイッチMOSQv1、Qv2の夫々のゲート電極は、水平スイッチMOSQhのゲート電極と同一製造工程で形成されている。垂直スイッチMOSQv1、Qv2の夫々のゲート電極は、フォトダイオード形成領域(或は受光部)の中央

- 15 -

部を行方向に横切るように延在し、かつ、一体に構成されている。さらに、垂直スイッチMOSQv1、Qv2の夫々のゲート電極は、行方向に延在する垂直走査線V1と一体に構成されている。

垂直スイッチMOSQv1の一方の半導体領域Nは、水平スイッチMOSQhの一方の半導体領域Nと一体に構成(共有)されている。垂直スイッチMOSQv1の他方の半導体領域Nは、垂直スイッチMOSQv2の他方の半導体領域Nと一体に構成(共有)されている。

光電変換素子PD1は、垂直スイッチMOSQv1の他方の半導体領域N又は垂直スイッチMOSQv2の他方の半導体領域Nとウエル領域WELとのPN接合部で構成される。光電変換素子PD2は、垂直スイッチMOSQv2の一方の半導体領域Nとウエル領域WELとのPN接合部で構成される。

水平走査線H1は、第8回(前定の製造工程における第1平面図)に詳細に示すように、行方向に配置された固体電極素子形成領域間(素子間分

- 16 -

隔絶線LOG)上に、列方向に延在するように構成されている。水平走査線H1は、前述の多結晶シリコン膜P-Siよりも上層の導電層、例えば第1層目のアルミニウム膜AL1で構成されている。アルミニウム膜AL1は、例えば5000[Å]程度の膜厚で形成されている。アルミニウム膜AL1は、水平スイッチMOSQh等を覆う層間絶縁膜(例えば、PSG膜)IA上に設けられている。水平走査線H1は、前記層間絶縁膜IAに形成された接点孔C2を通して、水平スイッチMOSQhのゲート電極(多結晶シリコン膜P-Si)に接続されている。

水平スイッチMOSQhのドレイン領域である半導体領域Nには、接点孔C2を通して、中間導電層M1又はM1タが接続されている。本実施例の固体電極装置CH1は、カラー用素子(又はモノクロ用素子であってもよい)で構成されており、中間導電層M1は、黄Y、青Bの夫々のカラーフィルタが設けられる固体電極素子に設けられ、中間導電層M1は、シアンCy、緑Gの

夫々のカラーフィルタが設けられる固体撮像素子に設けられている。中間導電層M L 1、M L 2の夫々は、水平走査線H Lと同一導電層で形成されている。

中間導電層M L 1は、水平スイッチM O S Q hの半導体領域N'と実質的にその上層に延在する出力信号線H S 1、H S 3、…とを接続するように構成されている。中間導電層M L 1は、主に、前記接続の間の肉状形状を低減し、接続の信頼性を向上するように構成されている。中間導電層M L 2は、水平スイッチM O S Q hの半導体領域N'とその領域と異なる領域の上層に延在する出力信号線H S 2、H S 4、…とを接続するように構成されている。中間導電層M L 2は、主に、前記接続の信頼性を向上すると共に、異なる領域の半導体領域N'と出力信号線H Sとを接続するように構成されている。

前記中間導電層M L 1には、列方向に配置された固体撮像素子間(両子間分離絶縁膜L O C)上に、行方向に延在する出力信号線H S 1、H S 3、…

が接続されている。出力信号線H Sは、前述のアルミニウム膜A L 1よりも上層の導電層、例えば第2層目のアルミニウム膜A L 2で構成されている。アルミニウム膜A L 2は、例えば8000~9000[Å]厚度の膜厚で形成する。アルミニウム膜A L 2は、アルミニウム膜A L 1を覆う層間絶縁膜(例えば、P S G膜)I B上に設けられている。出力信号線H Sは、前記層間絶縁膜I Bに形成された接続孔C 3を通して、中間導電層M L 1に接続されている。

中間導電層M L 2には、第1図及び第4図に示すように、列方向に配置された固体撮像素子の隔中央部に、垂直走査線V Lの上部にそれと重ね合わされて行方向に延在する出力信号線H S 2、H S 4、…が接続されている。出力信号線H Sは、例えば第2層目のアルミニウム膜A L 2で構成されている。出力信号線H Sは、接続孔C 3を通して中間導電層M L 2に接続されている。受光部S Aの出力信号線H S 2、H S 4、…は、光電変換素子(光電変換領域)P Oの開口面積を可能な限り

- 19 -

大きく形成できるように、前述のように、垂直走査線V Lと出力信号線H S 2、H S 4、…とを重ね合わせている。

オプティカルブラック部O B領域には、第4図乃至第6図に示すように、出力信号線H Sの上部に、層間絶縁膜(例えば、P S G膜)I Cを介在させて遮光膜S Fが設けられている。遮光膜S Fは、導電膜で形成されており、垂直走査線V L、水平走査線H L、出力信号線H S及び中間導電層M Lと共に多層配線構造を構成する。この遮光膜S Fは、多層配線構造の最上層の導電膜で形成されている。遮光膜S Fは、次のように形成されている。

まず、第9図(所定の製造工程における、前記第5図に示す要素断面図と同一部分の要素断面図)に示すように、層間絶縁膜I Cの表面上に、液体金属錯体(写真乳剤)M C Pを塗布する。

液体金属錯体M C Pは、例えばゼラチン等の分散媒中(水溶液)に、A g C l、A g B r、A g I等のハロゲン化銀を単独に或は混合して微結晶の形で離隔することで形成したものであり、流動性

を有している。液体金属錯体M C Pは、固体撮像素子C H I(遮光膜S Fを形成する段階では、ダイニングでチップ状に形成される前のウエーハ状態である)を回転テーブル上に設置して回転させた状態において、その回転中心部分に傾下し、遠心力にて周辺部に引き伸すことで塗布することができる。この液体金属錯体M C Pは、流動性を有しているため、下地膜(層間絶縁膜I C)表面の段差形状に沿って密着に塗布することができる。

次に、前記塗布された液体金属錯体M C Pを乾燥し、その後、オプティカルブラック部O Bの液体金属錯体M C Pを選択的に露光する。この液体金属錯体M C Pの露光は、オプティカルブラック部O Bに、液体金属錯体M C Pを現像可能とする層を形成する工程である。

次に、液体金属錯体M C Pに現像を施し、オプティカルブラック部O Bに選択的に銀(A g)を析出させる。現像は、主に、露光(潜像が形成)された液体金属錯体M C Pのハロゲン化銀の粒子を選択的に還元し、A gに変わる銀元素である。

現象像は、例えば、現像主薬、保恒剤、アルカリ剤、抑射剤、特微添加剤を成分として形成する。現像主薬は、有機溶剤系化合物等の還元性物質で形成される。保恒剤は、亜硫酸ソーダ等の物質で形成される。アルカリ剤は、Na、K等の炭酸塩、水酸化物等で形成される。抑射剤は、塗布露光部の現象風化を抑制するかぶり防止剤として、臭化カリウム等で形成される。特微添加剤は、増感現象、現象促進等に応じて種々の添加剤を使用する。

顯は、遮光膜S Fの透光性を確保するために、例えば、1[μm]程度の膜厚になるように析出させる。

次に、前記液体金属錯体M C Pに定着を行い、未露光部分(例えば、オプチカルブラック部O B以外の受光部S A)の液体金属錯体M C Pを除去する。この定着を行うことにより、前記第5図及び第8図に示すように、オプチカルブラック部O Bに、選択的に、液体金属錯体M C Pで形成した顯からなる遮光膜S Fを形成することができる。定着剤としては、例えば、チオ硫酸ナトリウム

やチオ硫酸アンモニウムを使用する。

この後、水洗浄を施す。

このように、液体像装置G H Iにおいて、層間絶縁膜I C上にバロゲン化銅等の液体金属錯体M C Pを塗布し、オプチカルブラック部O Bの液体金属錯体M C PにA gを選択的に析出させて遮光膜S F(導電膜)を形成し、この後、A gを析出させない領域の液体金属錯体M C Pを除去することにより、前記液体金属錯体M C Pが有する流動性によって、下地の微細形状に即って忠実に液体金属錯体M C Pが塗布され、この液体金属錯体M C PでA gを析出して遮光膜S Fを形成することができるので、遮光膜S Fのステップカバレッジを向上することができる。

したがって、遮光膜S Fは、ステップカバレッジの低下に起因する膜厚の不均一やピンホール等の発生を低減することができるので、遮光膜S Fの透光性を向上することができる。

また、遮光膜S Fは、液体金属錯体M C Pに、直接、露光、現像及び定着を施し、直接パターン

- 23 -

ングすることができるので、例えば、アルミニウム膜のパターニングのように、フォトリソマスクを使用する必要がない。したがって、このフォトリソマスクを形成する工程に相当する分、液体像装置G H Iの製造工程を低減することができる。

また、本発明は、前記図面像装置G H Iにおいて、水平スイッチM O S Q hのゲート電極(F<sub>1</sub>S<sub>1</sub>)と水平走査線(アルミニウム膜A L<sub>1</sub>)H L、中間導電膜(アルミニウム膜A L<sub>1</sub>)M Lと出力信号線(アルミニウム膜A L<sub>2</sub>)H Sとの交差の接続部に適用することができる。すなわち、少なくとも、ゲート電極と水平走査線H Lとを接続する接続孔C 2内に、液体金属錯体M C Pで形成したA gを接続用導電膜として埋込むことにより、接続孔C 2に起因する段差形状を緩和し、ゲート電極と水平走査線H Lとを高信頼性で接続することができる。微細化で接続孔C 2の開口寸法が1[μm]或はそれ以下で形成されると、蒸着やスパッタで形成される水平走査線H Lは、接続孔C

- 24 -

2内に入り込まないので、特に、本発明のように形成することは有効である。同様に、少なくとも、中間導電膜M Lと出力信号線H Sとを接続する接続孔C 3内に、液体金属錯体M C Pで形成したA gを接続用導電膜として埋込むことにより、接続孔C 3に起因する段差形状を緩和し、中間導電膜M Lと出力信号線H Sとを高信頼性で接続することができる。

なお、本発明は、前記図面像装置G H Iにおいて、水平スイッチM O S Q hの半導体領域N'と中間導電膜M Lとの接続部に適用しない方が好ましい。つまり、接続孔C 3内に液体金属錯体M C Pで形成したA gを接続用導電膜として埋込む場合、その形成中に、重金属等の汚染物質がシリコン中に混入し易くなる。重金属は、水平スイッチM O S Q hのしきい電位を変動させる等、デバイス特性を劣化させる。本発明を適用する場合には、半導体領域N'と液体金属錯体M C Pで形成した接続用導電膜との間に、汚染物質の混入を防止する

バリア層を介在させることが好ましい。

また、本発明は、前記被体金属錯体MCPで形成したAの上に、スパッタや蒸着でアルミニウム膜を積層して前記透光層SDを形成してもよい。膜状用導電膜についても同様である。

以上、本発明者によってなされた発明を、前記実施例に基づき具体的に説明したが、本発明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

本発明は、TSL方式の固体撮像装置だけに限定されず、オプティカルブラック部の両側の上部に、透光層が設けられた他の固体撮像装置に適用することができる。

また、本発明は、固体撮像装置に限定されず、多層配線構造を有するマイクロコンピュータ、メモリ等の半導体集積回路装置や、多層配線構造を有するプリント配線基板などの電子装置に広く適用することができる。

〔発明の効果〕

本願において図示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

多層配線技術において、絶縁膜上にハロゲン化銀等の被体金属錯体を塗布し、この被体金属錯体の所定領域に金属を析出させて導電膜を形成し、この後、金属を析出させない領域の被体金属錯体を除去することにより、前記被体金属錯体が有する流動性によって、下地の段差形状に沿って忠実に被体金属錯体が塗布され、この被体金属錯体で金属を析出して導電膜を形成することができるので、前記導電膜のステップカバレージを向上させることができる。

#### 4. 図面の簡単な説明

第1図は、本発明の実施例であるTSL方式の固体撮像装置を示す概略構成図。

第2図は、前記第1図に示す固体撮像装置の等価回路図。

第3図は、受光部の固体撮像素子を示す断面平面図。

第4図は、オプティカルブラック部の固体撮像素子を示す断面平面図。

第5図は、第4図のV-V切斷線で切った断面図。

第6図は、第4図のVI-VI切斷線で切った断面図。

第7図は、前記固体撮像装置の所定の製造工程における要部断面図。

第8図は、前記固体撮像装置の所定の製造工程における要部断面図。

第9図は、前記固体撮像装置の所定の製造工程における要部断面図である。

図中、CPI…固体撮像装置(固体撮像チップ)、ARR…フォトダイオードアレイ、SA…受光部、OB…オプティカルブラック部、RBS…水平移動期間リセット部、INT…インタレース走査制御部、Vreg…垂直走査用シフトレジスタ部、Hreg…水平走査用シフトレジスタ部、OUT…出力回路、VL…垂直走査線、HL…水平走査線、HS…出力信号線、QH…水平スイッチMOS、Qv…

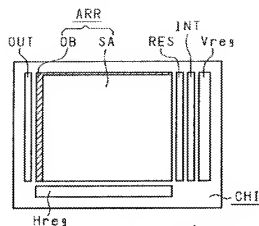
…垂直スイッチMOS、PD…光電変換素子、ML…中間導電層、SP…透光膜、MCP…被体金属錯体である。

代理人 弁護士 小川勝賢





第 1 図



ARR…フォトダイオードアレイ

SA…受光部

OB…光学部・ブラック部

Vreg…垂直走査用シフトレジスタ部

Hreg…水平走査用シフトレジスタ部

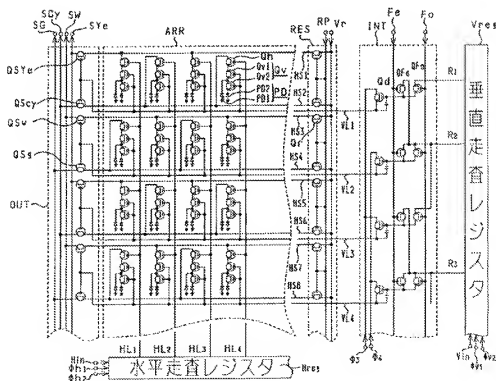
RES…水平走査用シフトレジスタ部

INT…インタレース走査制御部

OUT…出力回路

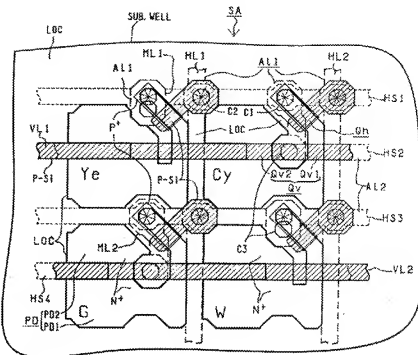
CHI…固体撮像チップ

第 2 図



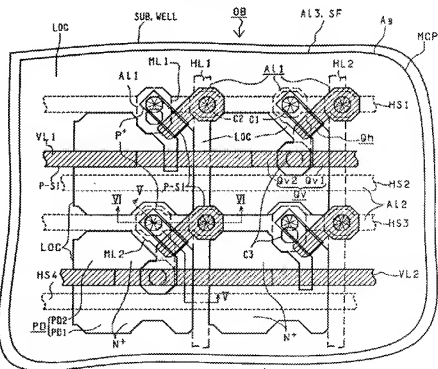
第3図

Gh: 水平スイッチFET  
 Qv: 垂直スイッチFET  
 HL: 水平走査線  
 VL: 垂直走査線  
 HS: 出力信号線  
 LOC: フィールド酸化膜  
 P-Si: 多結晶Si層 (ハッチ部分)  
 C1: N<sup>+</sup>層-AL1層接続穴  
 C2: P-Si-AL1層接続穴  
 AL1: 第1AL層  
 C3: AL1層-AL2層接続穴  
 AL2: 第2AL層

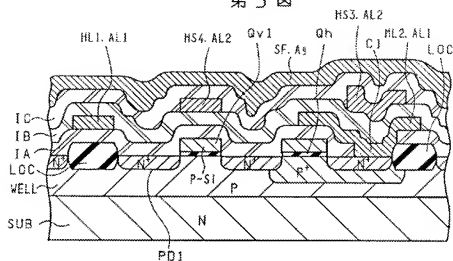


第4図

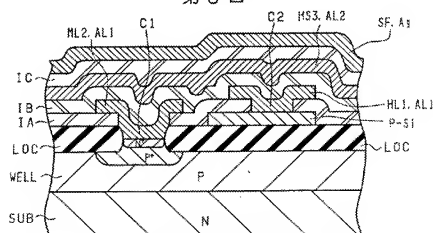
Gh: 水平スイッチFET  
 Qv: 垂直スイッチFET  
 HL: 水平走査線  
 VL: 垂直走査線  
 HS: 出力信号線  
 LOC: フィールド酸化膜  
 P-Si: 多結晶Si層 (ハッチ部分)  
 C1: N<sup>+</sup>層-AL1層接続穴  
 C2: P-Si-AL1層接続穴  
 AL1: 第1AL層  
 C3: AL1層-AL2層接続穴  
 AL2: 第2AL層  
 AL3 (SF): 第3AL層 (電光膜)  
 MCP: 液体金属誘体



第5図

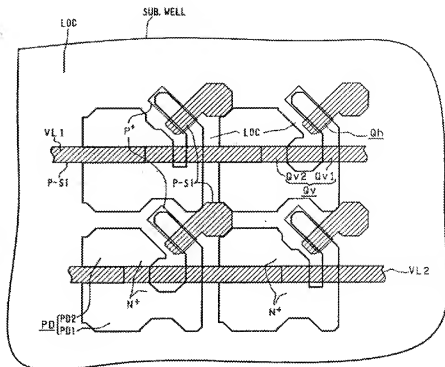


第6図



第7図

Qh: 水平スイッチFET  
 Qv: 垂直スイッチFET  
 VL: 垂直走査線  
 LOC: フィールド酸化膜  
 P-Si: 多結晶Si層 (ハッチ部分)



第8図

Qh: 水平スイッチFET  
 Qv: 垂直スイッチFET  
 HL: 水平走査線  
 VL: 垂直走査線  
 LOC: フィールド酸化膜  
 P-Si: 多結晶Si層 (ハッチ部分)  
 C1: N<sup>+</sup>層-AL1層接触穴  
 C2: P-Si-AL1層接触穴  
 AL1: 第1AL層

